

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi MIURA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT, SYSTEM BOARD AND DEBUGGING SYSTEM

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

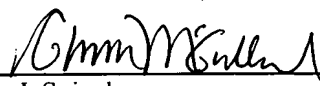
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-402630	December 28, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月28日

出願番号
Application Number:

特願2000-402630

出願人
Applicant(s):

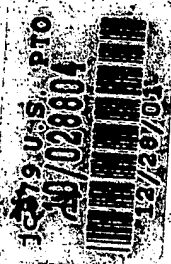
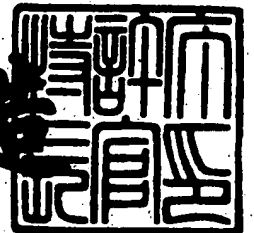
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 46B008127

【提出日】 平成12年12月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/00

【発明の名称】 システム L S I

【請求項の数】 4

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 三浦 貴

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 宮森 高

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 システム L S I

【特許請求の範囲】

【請求項 1】 共有するメインバスを介して相互に接続され、デバッグの対象となる複数のマイクロプロセッサと、

デバッグプログラムに基づいてデバッグ作業を制御するデバッグツールに接続され、前記各マイクロプロセッサとの間で個別にデバッグプログラムならびにデバッグデータの転送制御を行う単一のデバッグモジュールと、

前記メインバスとは独立し、前記各マイクロプロセッサと前記デバッグモジュールをそれぞれ個別に接続し、前記各マイクロプロセッサと前記デバッグモジュールとの間で個別にデバッグプログラムならびにデバッグデータが転送されるデバッグシリアルバスと

を有することを特徴とするシステム L S I。

【請求項 2】 前記デバッグモジュールは前記メインバスに直接接続され、前記デバッグツールは、前記マイクロプロセッサを介することなく前記デバッグモジュールを介して前記メインバスに対して直接メモリアクセスを行うことを特徴とする請求項 1 記載のシステム L S I。

【請求項 3】 前記各マイクロプロセッサは、マイクロプロセッサのデバッグ機能を制御するデバッグサポートユニットを具備し、

前記デバッグモジュールと前記各マイクロプロセッサのデバッグサポートユニットとをそれぞれ個別に接続するデバッグ制御バスを具備し、

前記デバッグモジュールは、前記デバッグ制御バスを介して前記各マイクロプロセッサのデバッグ状態を個別に監視し、前記それぞれのマイクロプロセッサに個別に、前記マイクロプロセッサをデバッグ状態に移行させるデバッグ割り込みを要求する

ことを特徴とする請求項 1 又は 2 記載のシステム L S I。

【請求項 4】 前記デバッグモジュールは、前記各マイクロプロセッサに個別に、デバッグモードからユーザモードへの復帰を任意に延長指示することを特徴とする請求項 1, 2 又は 3 記載のシステム L S I。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、複数のマイクロプロセッサを備えたシステムLSIにおいて、各マイクロプロセッサを独立して監視制御可能とし、複数のマイクロプロセッサを有機的にデバッグできるようにしたシステムLSIに関する。

【0002】

【従来の技術】

近年、半導体プロセス技術の向上により、機器組み込み用途向けのシステムLSIでは、複数のマイクロプロセッサコアを同一のシリコンチップ上に搭載したものが登場し始めている。複数のプロセッサを使用する理由は、LSIが処理すべき内容を複数のタスクに分割し、各タスクに最適な構成を持ったプロセッサを並列に動作させることで、大幅な処理速度の向上と最適なシリコン面積の両立が可能になるからである。

【0003】

特に、マルチメディア関連のシステムLSIのうち、画像圧縮伸長処理を行うシステムLSIでは、膨大な計算量が必要であり、かつリアルタイムに処理を完結することが要求される。これらのシステムを実現するものとして、ハードウェア回路の組み合わせにより解決する実装法がある一方、ここで述べるようなマルチプロセッサシステムの構成により実現する手法が多くなってきている。

【0004】

この理由は、これらの処理が複数のタスクに分割しやすく、かつデータの依存関係から各タスクをパイプライン的に処理しやすいものだからである。また、時分割処理により一つのプロセッサに複数の機能の異なるタスクを割り当てることで、専用のハードウェア回路を複数用意するよりも結果的にシリコンコストを削減できる可能性があるからである。さらに、ファームウェアの書き換えを可能にしておき、仕様変更やアルゴリズム変更により性能向上への柔軟な対応が容易なことが、市場に供給された後にも必要になってきているからである。

【0005】

このような複数のプロセッサを同一のシリコン上に収めたシステム L S I においては、従来のマイクロプロセッサシステムにはないデバッグシステム設計上の課題がある。まず、一般的な複数のプロセッサをデバッグするために、外部との通信手段（一般的にはシリアルポート）を備えた従来のデバッグシステム（従来例 1）と、複数の個々のプロセッサが単一で使用された場合に、外部に対してデバッグ機能を提供するようなデバッグモジュールを内蔵し、これらを組み合わせた従来のデバッグシステム（従来例 2）を従来例とし、これら各々の従来例に対してシステム設計上の課題を説明する。

【 0 0 0 6 】

図 6 は上記従来例 1 の一構成を示す図である。図 6 において、デバッグの対象となるユーザターゲットシステム 6 0 は、システム L S I 6 0 1、システム L S I 6 0 1 に接続されたメモリ 6 0 2 ならび I / O 6 0 3 を備え、システム L S I 6 0 1 は、2 つのマイクロプロセッサ 6 0 4、6 0 5、デバッグモジュール 6 0 6、メモリコントローラ 6 0 8、DMA コントローラ 6 0 9、I / O コントローラ 6 1 0 を備え、これらはメインバス 6 0 7 を介して接続され、デバッグモジュール 6 0 6 は外部デバッグインターフェース 6 2 を介してデバッグツール 6 1 に接続されている。それぞれのマイクロプロセッサ 6 0 4、6 0 5 は、プロセッサコア 6 1 1、バスインタフェースユニット 6 1 2 を備え、デバッグモジュール 6 0 6 は、シリアル I / F 6 1 3、排他制御用セマフォ 6 1 4 を備えている。

【 0 0 0 7 】

このようなシステム L S I 6 0 1 は、特別なデバッグサポートユニットを持たず、すべてのデバッグ制御がソフトウェア的に実装される形態である。デバッグソフトウェアプログラム自体は、デバッグモジュール 6 0 6 を介してデバッグツール 6 1 からシリアル I / F 6 1 3 の外部デバッグインターフェース 6 2 を経由して供給され、メインバス 6 0 7 上のメモリイメージとして見えるようになっている。あるいは、さらに単純にデバッグプログラムもユーザーメモリ上に置かれることも考えられる。また、複数のマイクロプロセッサ 6 0 4、6 0 5 が同時にデバッグモジュール 6 0 6 のシリアルポートをアクセスするような資源衝突を防止するために、排他制御用セマフォ 6 1 4 が実装されることが多い。

【0008】

このような構成において、まず従来例1の課題1を説明する。この課題とは、複数のマイクロプロセッサ604、605が同一の資源にアクセスすることにより発生するバグをどのようにしてデバッグを行うのかという点である。特にメインバス607の競合状態はバグを特定する上で重要な情報であり、競合時のメインバス状態はなるべく破壊されずにデバッグ時に観測できなければならない。また、この競合状態が深刻になり、メインバス607がデッドロックを起こした場合でも、デバッグが出来なければならない。しかし、従来例1では、デバッグソフトウェアプログラム自体がメインバス607を経由して供給されるため、上記の競合状態は破壊されて観測することができなかった。そもそも、メインバス607のデッドロックが解消された後でなければデバッグプログラムそのものが動作しない。

【0009】

次に、従来例1の課題2を説明する。メインバス607は通常同時に1つのマイクロプロセッサ604、605のみのアクセスを行う。このことは、複数のマイクロプロセッサ604、605間で命令供給の時間的な差異が生じ、デバッグプログラム実行上における同期ずれが発生する可能性がある。特に、ユーザモードからデバッグモードへの移行時、ならびにデバッグモードからユーザモードへの復帰時には、遷移時の各マイクロプロセッサ604、605でのプログラム実行位置の相対関係を保持しつつ行われることが必要である。しかし、例えばデバッグモードからユーザモードへ復帰する場合は、従来例1では同時に1つのマイクロプロセッサ604、605のみが命令供給とメモリアクセスが可能のため、先にユーザモード復帰命令の供給を受けたマイクロプロセッサ604、605と、その後に命令供給を受けたマイクロプロセッサ604、605の間では時間的な差異が生じ、プログラムの相対位置関係を正確に把握することができなかった。

【0010】

次に、従来例1の課題3を説明する。デバッグモジュール606は、メインバス607を経由してマイクロプロセッサ604、605よりアクセスを受ける。

メインバス 6 0 7 は、特定のマイクロプロセッサ 6 0 4、6 0 5 のみにアクセス権を与えることが出来ない。このため、デバッグプログラムは常に公平にマイクロプロセッサ 6 0 4、6 0 5 にプログラムを実行させるのを前提にプログラミングする。特定のマイクロプロセッサ 6 0 4、6 0 5 のみの実行を連続的に行わせるといった制御は不可能なため、デバッグプログラムの実行の効率が悪化する。

【 0 0 1 1 】

次に、従来例 1 の課題 4 を説明する。複数のマイクロプロセッサ 6 0 4、6 0 5 を効率よくコントロールし、デバッグのパフォーマンスをいかに確保するのかという点では、デバッグモジュール 6 0 6 がメインバス 6 0 7 から受け取るアクセスはどのマイクロプロセッサ 6 0 4、6 0 5 からのものであるかが判別できないという事が問題になる。すなわち、デバッグ時に複数のマイクロプロセッサ 6 0 4、6 0 5 を個別にコントロールすることが出来ないため、マイクロプロセッサ 6 0 4、6 0 5 固有の情報を利用したソフトウェア的な動作の切り替えを行うようにしなければならない。これは、制御対象とならないマイクロプロセッサ 6 0 4、6 0 5 にとっては、全く不要の処理となっていた。

【 0 0 1 2 】

図 7 は上記従来例 2 の構成を示す図である。図 7 において、デバッグの対象となるユーザーゲットシステム 7 0 は、システム L S I 7 0 1、システム L S I 7 0 1 に接続されたメモリ 7 0 2 ならび I / O 7 0 3 を備え、システム L S I 7 0 1 は、2 つのマイクロプロセッサ 7 0 4、7 0 5、デバッグモジュールセレクタ 7 0 6、メモリコントローラ 7 0 8、DMA コントローラ 7 0 9、I / O コントローラ 7 1 0 を備え、デバッグモジュールセレクタ 7 0 6 を除くこれらはメインバス 7 0 7 を介して接続され、デバッグモジュールセレクタ 7 0 6 は外部デバッグインタフェース 7 2 を介してデバッグツール 7 1 に接続されている。それぞれのマイクロプロセッサ 7 0 4、7 0 5 は、プロセッサコア 7 1 1、デバッグモジュール 7 1 2、バスインタフェースユニット 7 1 3、デバッグサポートユニット 7 1 4 を備えている。

【 0 0 1 3 】

このような構成においては、それぞれのマイクロプロセッサ 7 0 4、7 0 5 は

、デバッグモジュール 7 1 2 ならびにデバッグサポートユニット 7 1 4 を備えることにより、デバッグプログラムの供給にメインバス 7 0 7 が使用されず、また各マイクロプロセッサ 7 0 4、7 0 5 のデバッグ機能を個別に制御することにより、上記従来例 1 の課題 2 を除く課題を解消することが可能である。しかし、従来例 2 においても上記課題 2 は解消されず、また新たな課題が発生していた。

【 0 0 1 4 】

まず、従来例 2 の課題 1 として、図 7 の構成において、デバッグツール 7 1 のメインバス 7 0 7 上のメモリに対するアクセスは、マイクロプロセッサ 7 0 4、7 0 5 の命令を介して行われるため、実行メモリ転送速度が低下していた。

【 0 0 1 5 】

さらに、従来例 2 の課題 2 として、各マイクロプロセッサ 7 0 4、7 0 5 にはほとんど同じデバッグモジュール 7 1 1、7 1 2 が内蔵されるため、構成が大きくなりコストが上昇していた。

【 0 0 1 6 】

【発明が解決しようとする課題】

以上説明したように、複数のプロセッサを備えた従来のシステム L S I において、メインバスに共通接続された複数のマイクロプロセッサに対して、デバッグ作業を支援する単一のデバッグモジュールでデバッグ制御をソフトウェア的に行う場合には、メインバスの競合状態を観測できない、デバッグプログラムの相対位置関係を正確に把握できない、特定のマイクロプロセッサの連続実行が不可能になる、ならびに複数のマイクロプロセッサの動作切り替えをそれぞれのマイクロプロセッサの固有の情報を用いてソフトウェア的に行わなければならないといった不具合を招いていた。

【 0 0 1 7 】

一方、それぞれのマイクロプロセッサにデバッグサポートユニットを備えたシステム L S I にあっては、デバッグプログラムの相対位置関係を正確に把握できない、実行メモリ転送速度が低下する、ならびに構成の大型化とコストが上昇するといった不具合を招いていた。

【 0 0 1 8 】

そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、構成の大型化を招くことなく十分なデバッグを可能とし、デバッグの品質を向上することができるシステム L S I を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

上記目的を達成するために、課題を解決する第 1 の手段は、共有するメインバスを介して相互に接続され、デバッグの対象となる複数のマイクロプロセッサと、デバッグプログラムに基づいてデバッグ作業を制御するデバッグツールに接続され、前記各マイクロプロセッサとの間で個別にデバッグプログラムならびにデバッグデータの転送制御を行う単一のデバッグモジュールと、前記メインバスとは独立し、前記各マイクロプロセッサと前記デバッグモジュールをそれぞれ個別に接続し、前記各マイクロプロセッサと前記デバッグモジュールとの間で個別にデバッグプログラムならびにデバッグデータが転送されるデバッグシリアルバスとを有することを特徴とする。

【 0 0 2 0 】

第 2 の手段は、前記第 1 の手段において、前記デバッグモジュールは前記メインバスに直接接続され、前記デバッグツールは、前記マイクロプロセッサを介することなく前記デバッグモジュールを介して前記メインバスに対して直接メモリアクセスを行うことを特徴とする。

【 0 0 2 1 】

第 3 の手段は、前記第 1 又は第 2 の手段において、前記各マイクロプロセッサは、マイクロプロセッサのデバッグ機能を制御するデバッグサポートユニットを具備し、前記デバッグモジュールと前記各マイクロプロセッサのデバッグサポートユニットとをそれぞれ個別に接続するデバッグ制御バスを具備し、前記デバッグモジュールは、前記デバッグ制御バスを介して前記各マイクロプロセッサのデバッグ状態を個別に監視し、前記それぞれのマイクロプロセッサに個別に、前記マイクロプロセッサをデバッグ状態に移行させるデバッグ割り込みを要求することを特徴とする請求項 1 又は 2 記載のシステム L S I 。

【 0 0 2 2 】

第4の手段は、前記第1，第2又は第3の手段において、前記デバッグモジュールは、前記各マイクロプロセッサに個別に、デバッグモードからユーザモードへの復帰を任意に延長指示することを特徴とする。

【0023】

【発明の実施の形態】

以下、図面を用いてこの発明の実施形態を説明する。

【0024】

この発明の一実施形態に係るシステムLSIは、実行モードとしてユーザモードとデバッグモードを有する複数のマイクロプロセッサが、1本のメインバスを共有する形態のマルチプロセッサシステムで構成され、個々のマイクロプロセッサの実行モードを独立にコントロールし、その実行モードの状態を常に監視するためのインタフェースを備えている。この実行モードの監視機構を利用して、一つのマイクロプロセッサの実行状態が変化することを検出し、この変化を起点にして任意のマイクロプロセッサを同期的にデバッグモードへ移行させ、マルチプロセッサのデバッグ機能を実現する。

【0025】

マイクロプロセッサが行うメモリアクセスのうち、デバッグプログラムの実行に必要なメモリアクセスをメインバスとは分離したバスにより行なうことで、バグ発生時のメインバス状態の保持や、各マイクロプロセッサのバス競合関係を保存、復元することを可能にする。さらに、メインバスより分離したバスにより、特定のマイクロプロセッサに対してメモリアクセスを行うことと、複数のマイクロプロセッサに対して同一のデータを同時に供給することを並行して行うことで、デバッグプログラムの高速な実行を可能にする。また、メインバスに直接接続され、全てのマイクロプロセッサが共通してアクセスできるメモリ領域にマイクロプロセッサの介在なしにアクセスできるようにしている。

【0026】

図1はこの発明の一実施形態に係るシステムLSIの構成を示す図である。図1において、この実施形態のシステムLSIは、2つのマイクロプロセッサを備えたマルチプロセッサシステムであり、デバッグ対象のユーザターゲットシステ

ム 0 は、システム L S I 1、メモリ 2 ならびに I/O 3 を備えて構成され、システム L S I 1 は、デバッグモジュール 1 0、マイクロプロセッサ 1 1 - 1、1 1 - 2、メモリコントローラ 1 5、DMA コントローラ 1 6、I/O コントローラ 1 7 を備えて構成されている。マイクロプロセッサ 1 1 - 1、1 1 - 2 は、それぞれバスインタフェースユニット 1 1 - 1 1、1 1 - 2 1、プロセッサコア 1 1 - 1 2、1 1 - 2 2、デバッグサポートユニット 1 1 - 1 3、1 1 - 2 3 を備えて構成されている。デバッグモジュール 1 0 は、外部デバッグインタフェース 5 を介してデバッグツール 2 と接続され、デバッグ制御バス 1 2 - 1 を介してマイクロプロセッサ 1 1 - 1 のデバッグサポートユニット 1 1 - 1 3 と接続され、デバッグ制御バス 1 2 - 2 を介してマイクロプロセッサ 1 1 - 2 のデバッグサポートユニット 1 1 - 2 3 と接続され、デバッグシリアルバス 1 3 - 1 を介してマイクロプロセッサ 1 1 - 1 のバスインタフェースユニット 1 1 - 1 1 に接続され、デバッグシリアルバス 1 3 - 2 を介してマイクロプロセッサ 1 1 - 2 のバスインタフェースユニット 1 1 - 2 1 に接続され、メインバス 1 4 を介してマイクロプロセッサ 1 1 - 1 のバスインタフェースユニット 1 1 - 1 1、マイクロプロセッサ 1 1 - 2 のバスインタフェースユニット 1 1 - 2 1、メモリコントローラ 1 5、DMA コントローラ 1 6 ならびに I/O コントローラ 1 7 に接続されている。

【 0 0 2 7 】

デバッグシリアルバス 1 3 - 1、1 3 - 2 は、各マイクロプロセッサ 1 1 - 1、1 1 - 2 に対してメインバス 1 4 を介在させずにデバッグツール 2 から供給されるデバッグ作業を実行制御するモニタプログラムをマイクロプロセッサ 1 1 - 1、1 1 - 2 が実行するために使用される。デバッグ制御バス 1 2 - 1、1 2 - 2 は、各マイクロプロセッサ 1 1 - 1、1 1 - 2 のデバッグサポートユニット 1 1 - 1 3、1 1 - 2 3 と結合し、デバッグモードの実行制御関連レジスタの監視と制御をデバッグツール 2 から可能にする。また、メインバス 1 4 と外部デバッグインタフェース 5 は、メインバス 1 4 上に接続されるメモリなどをデバッグツール 2 が直接アクセスするために使用される。

【 0 0 2 8 】

デバッグモジュール 1 0 は、図 2 に示すように構成される。図 2 において、デ

バッグモジュール 1 0 は、マルチデバッグコントロールレジスタ 2 0、デバッグコントロールレジスタ 2 1、アドレスレジスタ 2 2、バイトイネーブルレジスタ 2 3、データレジスタ 2 4、外部デバッグインタフェース回路 2 5、デバッグシリアルバス変換回路 2 6、デバッグシリアルバスセクタ 2 7 ならびに DMA コントローラ 2 8 を備えて構成されている。

【 0 0 2 9 】

外部デバッグインタフェース回路 2 5 は、外部デバッグインタフェース 5 を介して転送される設定情報により、マルチデバッグコントロールレジスタ 2 0、デバッグコントロールレジスタ 2 1、アドレスレジスタ 2 2、バイトイネーブルレジスタ 2 3、データレジスタ 2 4 の設定を行う。また、これらのレジスタの設定内容は、外部デバッグインタフェース 5 を介してデバッグツール 2 に伝達される。

【 0 0 3 0 】

マルチデバッグコントロールレジスタ 2 0 は、各マイクロプロセッサ 1 1 - 1, 1 1 - 2 の状態を監視しており、ブレークなどによりマイクロプロセッサ 1 1 - 1, 1 1 - 2 がデバッグ状態に移行すると、対応した値が反映される。また、マルチデバッグコントロールレジスタ 2 0 は、各マイクロプロセッサ 1 1 - 1, 1 1 - 2 を強制的にデバッグモードに移行させるデバッグ割り込みを個別に発生させる。また、1 つのマイクロプロセッサ 1 1 - 1, 1 1 - 2 がデバッグモードに移行するのに同期して、特定のマイクロプロセッサ 1 1 - 1, 1 1 - 2 に対して上記のデバッグ割り込みを発生させる。

【 0 0 3 1 】

デバッグシリアルバス 1 3 - 1 又は 1 3 - 2 は、マルチデバッグコントロールレジスタ 2 0 からのデバッグシリアルバス選択信号の指示でデバッグシリアルバスセクタ 2 7 により選択され、デバッグシリアルバス変換回路 2 6 に選択入力される。デバッグコントロールレジスタ 2 1 は、デバッグシリアル開始信号によりデバッグシリアルバス変換回路 2 6 を起動し、有効なデバッグシリアルバス 1 3 - 1 又は 1 3 - 2 とアドレスレジスタ 2 2、バイトイネーブルレジスタ 2 3、データレジスタ 2 4 のデータ交換を行う。デバッグシリアル開始信号は、接続さ

れるマイクロプロセッサ11-1, 11-2がデバッグモードにある場合に有効となる。

【0032】

一方、デバッグコントロールレジスタ21は、DMA開始信号によりDMAコントローラ28を起動して、メインバス14に対しアドレスレジスタ22、バイトイネーブルレジスタ23、データレジスタ24の内容でメモリアクセスを起こす。これにより、デバッグモジュール10を介してデバッグツール2はメインバス14に接続され、マイクロプロセッサ11-1, 11-2がデバッグモードになくても利用することが出来る。

【0033】

デバッグ制御バス12-1, 12-2は、図3に示すように構成される。図3において、デバッグ制御バス12-1, 12-2は、DINT信号、Dm信号、ならびにDSt1信号で構成される。マイクロプロセッサ11-1, 11-2のプロセッサコア11-12, 11-22は、デバッグモードに移行した場合に、デバッグモード通知信号をアサートしてデバッグサポートユニット11-13, 11-23に知らせる。これにより、デバッグサポートユニット11-13, 11-23は、Dm信号をアサートしデバッグモジュール10に対してデバッグモードに移行したことを通知する。このDm信号がアサートされる条件は次のものがある。

【0034】

(条件1) DINT信号がアサートされたことをデバッグサポートユニット11-13, 11-23が検出し、デバッグサポートユニット11-13, 11-23がプロセッサコア11-12, 11-22に対してデバッグ割り込み要求信号をアサートする。

【0035】

(条件2) デバッグサポートユニット11-13, 11-23がデバッグ割り込み条件を検出し、プロセッサコア11-12, 11-22に対してデバッグ割り込み要求信号をアサートする。

【0036】

(条件3) プロセッサコア11-12, 11-22が、デバッグ例外命令を実行することによりデバッグモードに移行する。

【0037】

DSt1信号は、デバッグサポートユニット11-13, 11-23を介してコアストール要求信号をプロセッサコア11-12, 11-22にアサートする。このコアストール要求信号がアサートされている間は、ユーザーモードの実行は延期され、マイクロプロセッサ11-1, 11-2間のユーザーモードの実行を開始する際の同期に使用される。

【0038】

デバッグシリアルバス13-1, 13-2は、図4に示すように構成される。図4において、デバッグシリアルバス13-1, 13-2はDBSEL、DSDAO、DBSDIで構成され、バスインタフェースユニット11-11, 11-21に接続されている。バスインタフェースユニット11-11, 11-12は、メインバスデバッグバス制御回路40, パラレル→シリアル変換回路41, シリアル→パラレル変換回路42ならびにセクタ43を備えて構成されている。

【0039】

プロセッサコア11-12, 11-21からのデバッグモード通知信号は、メインバスデバッグバス制御回路40に入力され、REQ信号、ACK信号、ERR信号、アドレス、バイトイネーブル信号、リードライト要求信号、データといったメモリアクセスにかかわる信号をメインバス14又はデバッグシリアルバス13-1, 13-2に切り替える。デバッグモード通知信号がアサートされている場合は、メインバスデバッグバス制御回路40から出力される選択信号によりセクタ43を切り替え、アドレス、バイトイネーブル信号、リードライト要求信号、データをパラレル→シリアル変換回路41に入力する。デバッグモード通知信号がデアサートの場合には、上記選択信号に基づいてセクタ43により、全ての要求はメインバス14へと切り替えられる。

【0040】

パラレル→シリアル変換回路41に入力されたアクセス内容は、DBSELがアサートされることによりメインバスデバッグバス制御回路40から出力される

変換開始信号にしたがってDSDAOへのシリアルデータ転送開始が指示される。リード要求の場合には、DBSDIからデータを受け取り、シリアル→パラレル変換回路42によりデータを確定したことを変換終了信号としてメインバスデバッグバス制御回路40に入力し、またセレクタ43を介してプロセッサコア11-12, 11-21にデータとして入力される。メモリアクセスの制御信号となるREQ信号、ACK信号、ERR信号は、上記変換開始信号ならびに変換終了信号から生成される。DSDAO, DBSDIによるシリアル転送の開始は、DBSELがアサートされることにより開始される。

【0041】

外部デバッグインタフェース5は、図5に示すように構成される。図5において、外部デバッグインタフェース5は、TCK、TRST*、TMS、TDI、TDOより構成される。デバッグモジュール10の外部デバッグインタフェース回路25には、システムLSI1全体のリセット信号RESETが与えられる。リセット信号RESETがアサートされた場合は、外部デバッグインタフェース5はリセットされる。また、TRST*がアサートされた場合には、外部デバッグインタフェース回路25のみがリセットされる。TCK、TMSは外部デバッグインタフェース回路25のレジスタ設定状態を決める。TDIはデバッグツール2から実際のレジスタの選択と、レジスタ値の確定に使用される。また、TDOはレジスタの確定値の監視に使用される。

【0042】

このように、上記実施形態では、2つのマイクロプロセッサ11-1, 11-2が内蔵され、これらのマイクロプロセッサ11-1, 11-2が一つのメインバス14を共有するシステムLSI1を構成し、メインバス14上でエラーが発生してデバッグが必要になった場合には、デバッグに必要なデバッグプログラムとデータをメインバス14とは独立したデバッグシリアルバス13-1, 13-2により任意かつ個別にやりとりを一つのデバッグモジュール10で行い、このデバッグモジュール10と外部デバッグインタフェース5を介して接続されたデバッグツール2によりデバッグを行っている。これにより、複数のマイクロプロセッサ11-1, 11-2に対する個別のデバッグ機能を最小コストで実現する

ことができる。また、デバッグモジュールは、メインバス14に接続されて直接メインバス14に対してメモリアクセスを行うDMAコントローラ28を備え、このDMAコントローラ28を用いてデバッグツール2からプログラム等を直接転送することが可能となり、ユーザープログラムのダウンロードなどの効率を改善することができる。

【0043】

また、2つのマイクロプロセッサ11-1, 11-2のそれぞれに内蔵されるプロセッサコア11-12, 11-22のデバッグ機能をコントロールするデバッグサポートユニット11-13, 11-23と、デバッグ制御バス12-1, 12-2を介して接続されたデバッグモジュール10が、このデバッグ制御バス12-1, 12-2を介して2つのマイクロプロセッサ11-1, 11-2のデバッグ状態を個別に監視し、個別にデバッグ割り込み要求を発行している。これにより、ユーザモードからデバッグモードへの遷移を、マイクロプロセッサ11-1, 11-2間の同期関係を崩さずに遷移させることが出来る。さらに、デバッグモジュール10は、デバッグ制御バス12-1, 12-2を介してデバッグモードからユーザモードへの復帰を任意の時間だけ延期する指示を与える。これにより、デバッグモードからユーザモードへの復帰時に、マイクロプロセッサ11-1, 11-2間の同期関係を崩さずに遷移させることが出来る。

【0044】

【発明の効果】

以上説明したように、この発明によれば、デバッグシリアルバスを介して単一のデバッグモジュールと複数のマイクロプロセッサとの間で個別にデバッグ作業に必要な情報を転送するようにしたので、各マイクロプロセッサを十分にデバッグすることができる。

【0045】

また、デバッグツールがデバッグモジュールを介して直接メモリアクセスを行えるようにしたので、デバッグツールからの情報転送を効率よく実施することができる。

【0046】

さらに、デバッグモジュールから各マイクロプロセッサへ個別にデバッグ割り込みを要求するようにしたので、マイクロプロセッサ間の同期関係を崩さずに、マイクロプロセッサをユーザモードからデバッグモードへ遷移させることができる。一方、デバッグモジュールが各マイクロプロセッサのデバッグモードからユーザモードへの復帰を任意に延長指示するようにしたので、マイクロプロセッサ間の同期関係を崩さずに、各マイクロプロセッサをデバッグモードからユーザモードに復帰させることが可能となる。

【図面の簡単な説明】

【図 1】

この発明の一実施形態に係るシステム L S I をデバッグする構成を示す図である。

【図 2】

デバッグモジュールの構成を示す図である。

【図 3】

デバッグ制御バスの構成を示す図である。

【図 4】

バスインターフェースユニットならびにデバッグシリアルバスの構成を示す図である。

【図 5】

外部デバッグインタフェースの構成を示す図である。

【図 6】

システム L S I をデバッグする従来の一構成を示す図である。

【図 7】

システム L S I をデバッグする従来のための構成を示す図である。

【符号の説明】

- 0 ユーザターゲットシステム
- 1 システム L S I
- 2 デバッグツール
- 3 メモリ

4 I/O

5. 外部デバッグインタフェース

10 デバッグモジュール

11-1, 11-2 マイクロプロセッサ

11-1.1, 11-2.1 バスインタフェースユニット

11-1.2, 11-2.2 プロセッサコア

11-1.3, 11-2.3 デバッグサポートユニット

12-1, 12-2 デバッグ制御バス

13-1, 13-2 デバッグシリアルバス

14 メインバス

15 メモリコントローラ

16 DMAコントローラ

17 I/Oコントローラ

20 マルチデバッグコントロールレジスタ

21 デバッグコントロールレジスタ

22 アドレスレジスタ

23 バイトイネーブルレジスタ

24 データレジスタ

25 外部デバッグインタフェース回路

26 デバッグシリアルバス変換回路

27 デバッグシリアルバスセクタ

28 DMAコントローラ

40 メインバスデバッグバス制御回路

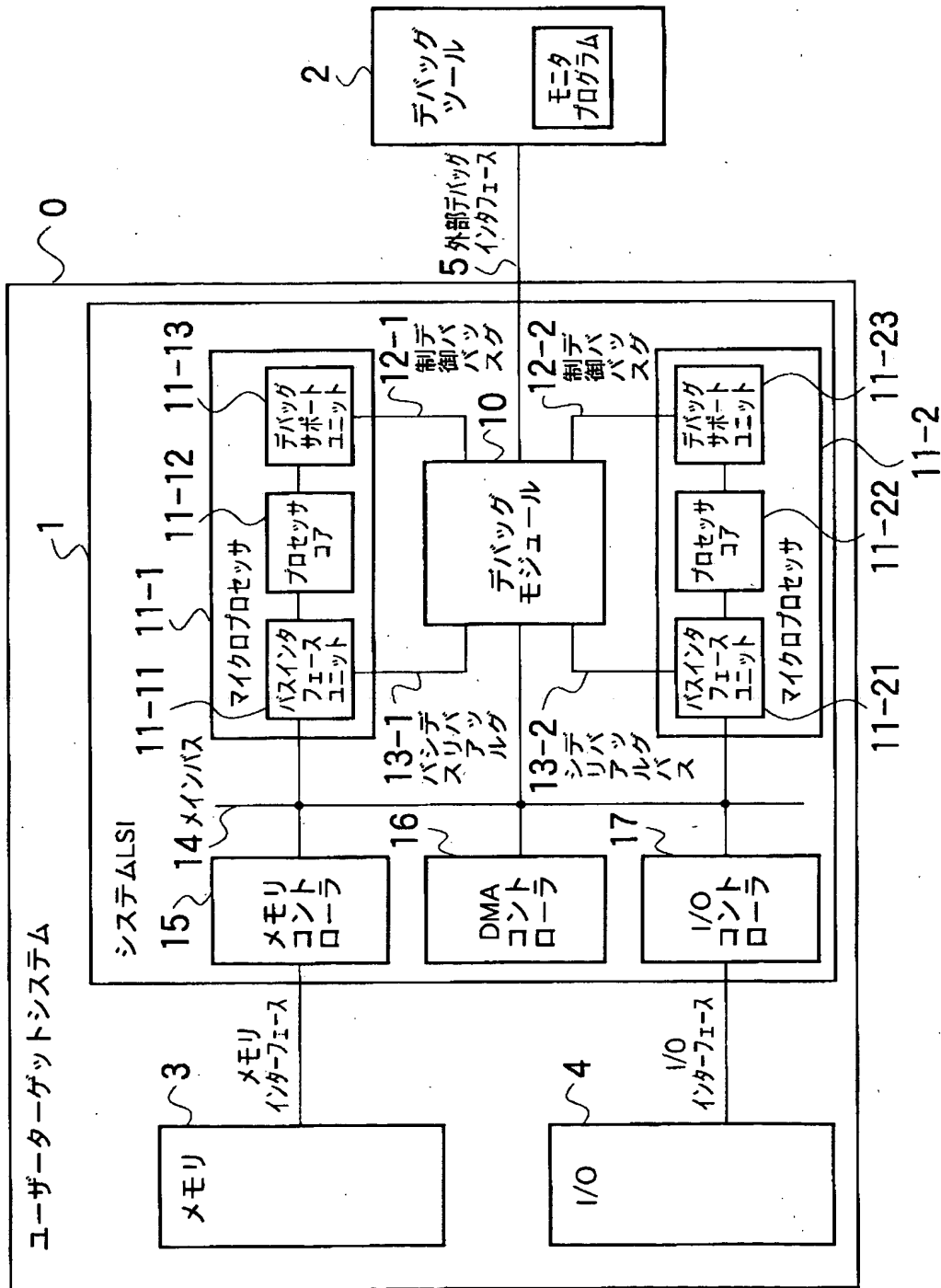
41 パラレル→シリアル変換回路

42 シリアル→パラレル変換回路

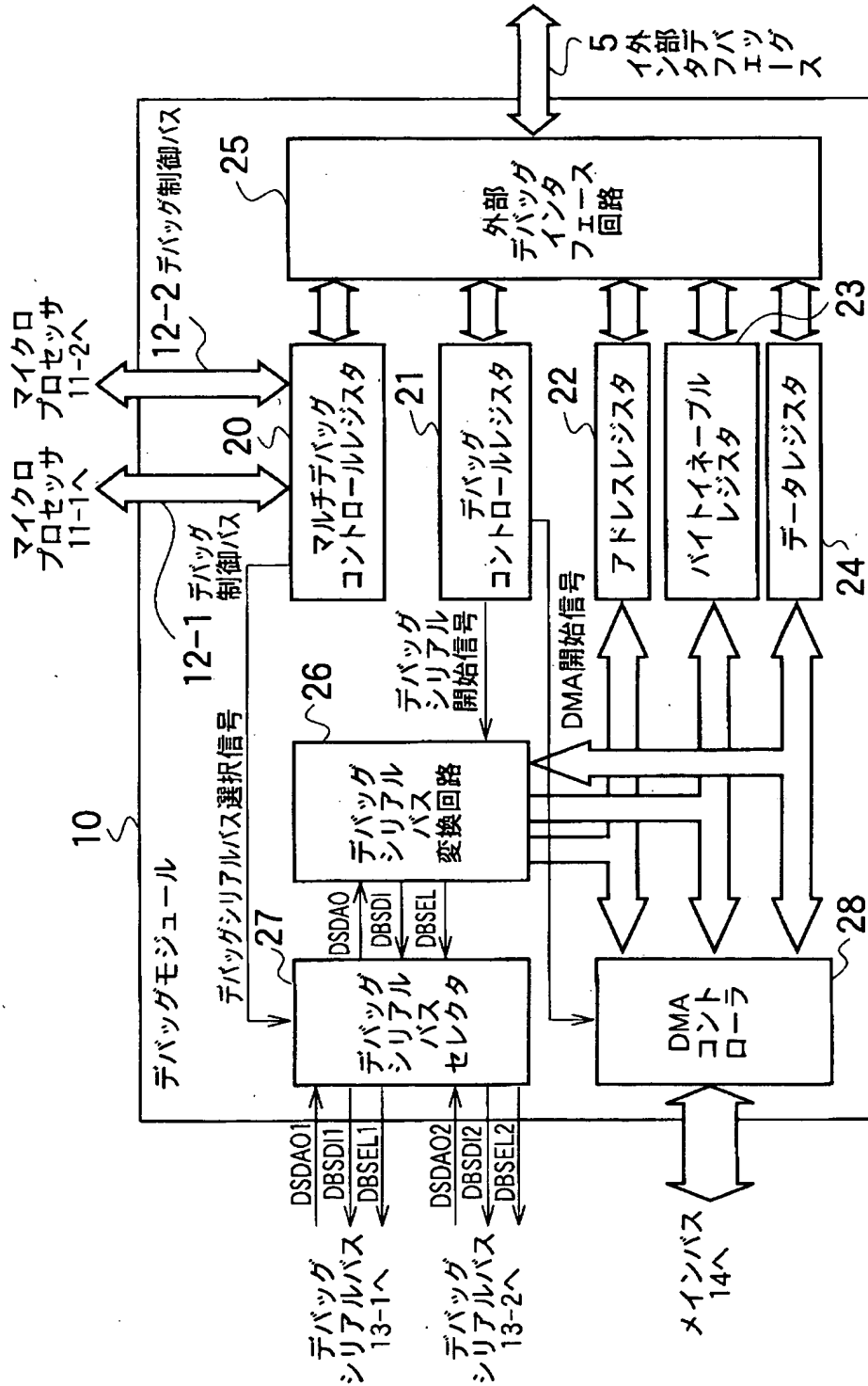
43 セクタ

【書類名】 図面

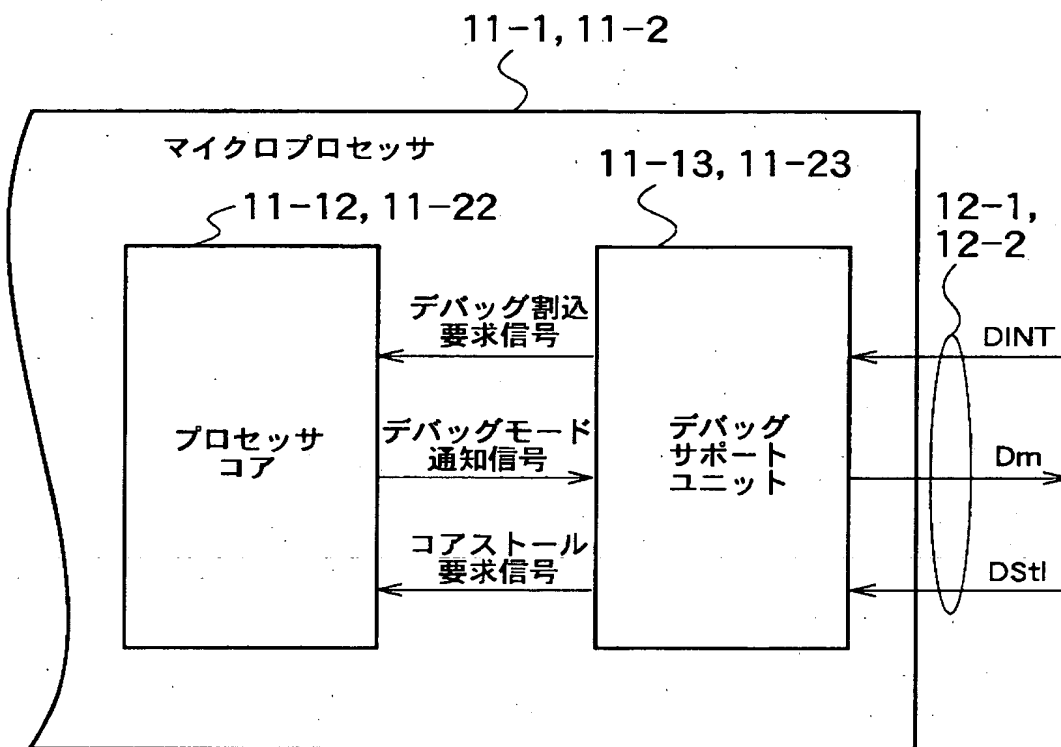
【図.1】



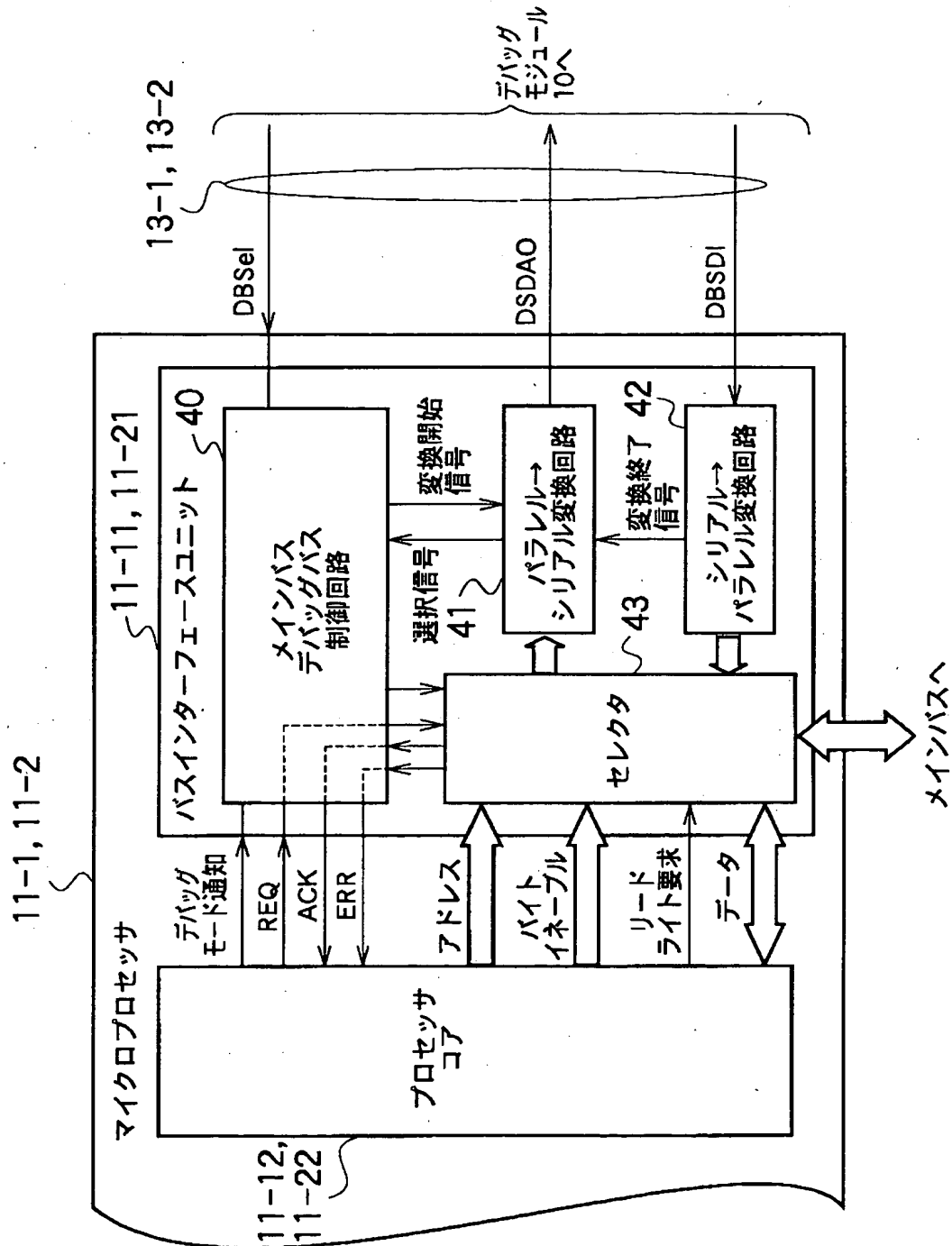
【図 2】



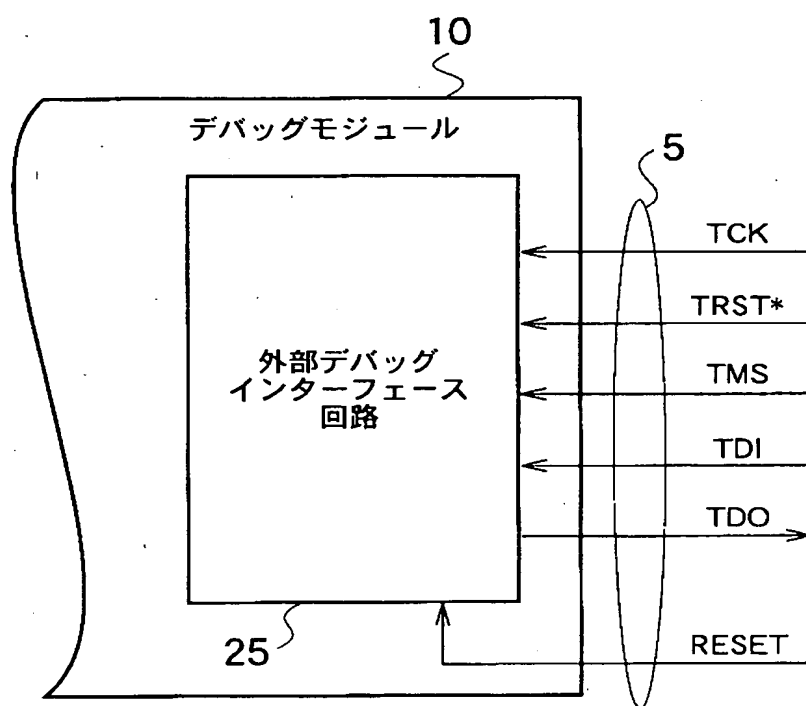
【図 3】



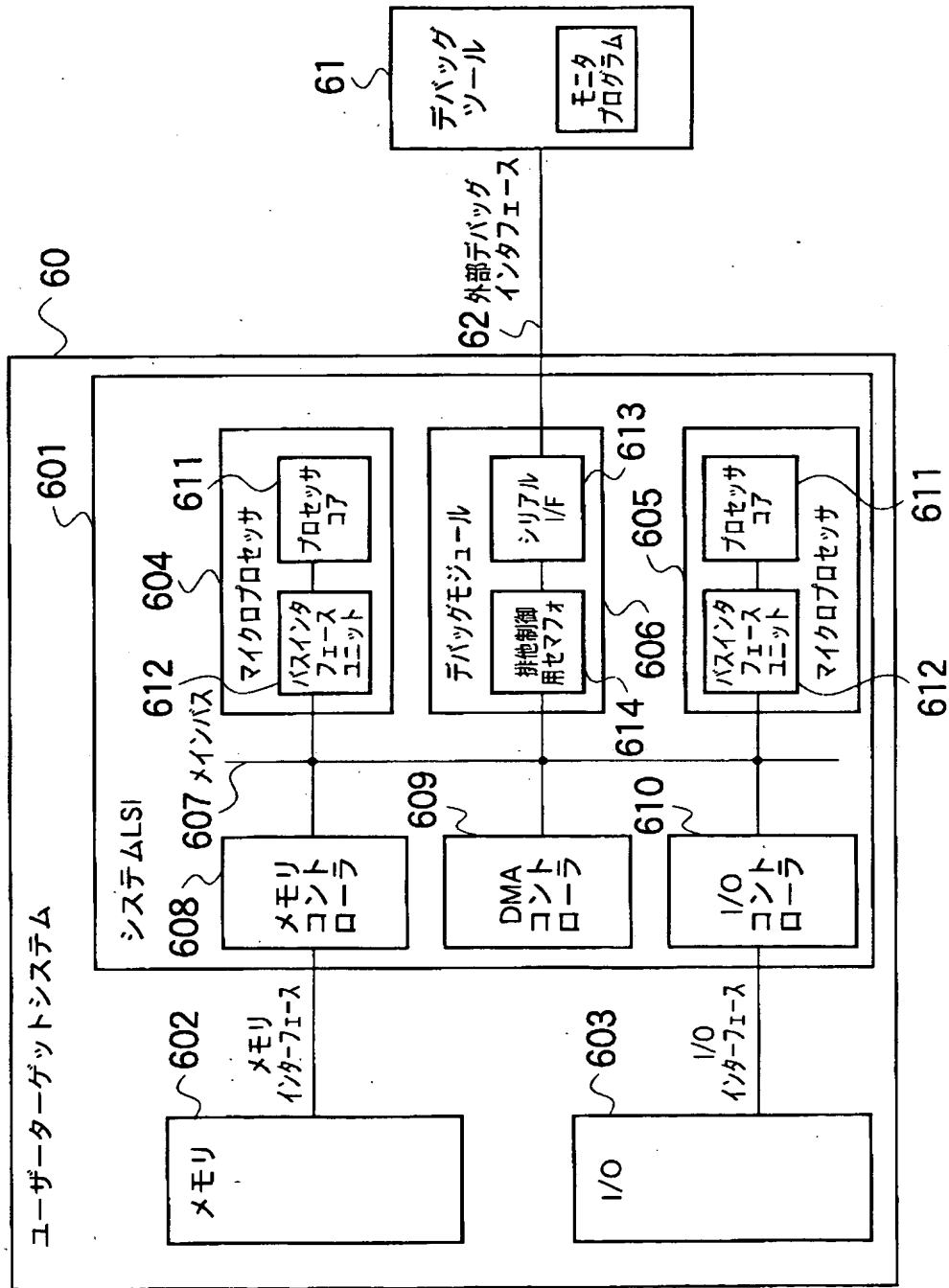
【図 4】



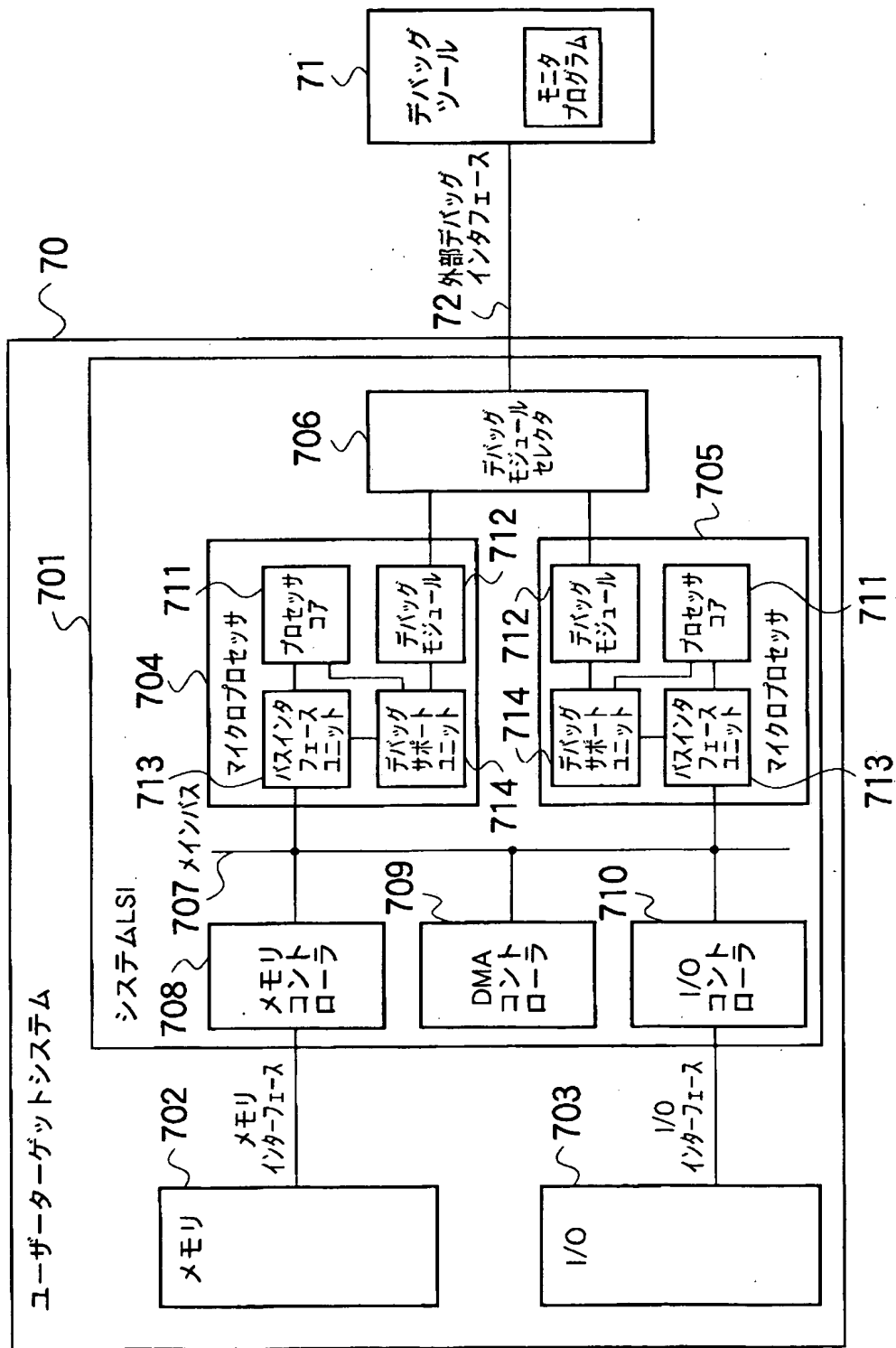
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 この発明は、構成の大型化を招くことなく十分なデバッグを可能とし、デバッグの品質を向上することを課題とする。

【解決手段】 この発明は、デバッグシリアルバス 1 3 - 1, 1 3 - 2 を介して単一のデバッグモジュール 1 0 と複数のマイクロプロセッサ 1 1 - 1, 1 1 - 2 との間で個別にデバッグ作業に必要な情報を転送するように構成される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-402630
受付番号	50001706537
書類名	特許願
担当官	末武 実 1912
作成日	平成13年 1月12日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	神奈川県川崎市幸区堀川町72番地
【氏名又は名称】	株式会社東芝

【代理人】

申請人	
【識別番号】	100083806
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	三好 秀和

【選任した代理人】

【識別番号】	100068342
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	三好 保男

【選任した代理人】

【識別番号】	100100712
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】	100100929
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	川又 澄雄

【選任した代理人】

【識別番号】	100108707
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第1ビル9階三好内外国特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	中村 友之
【選任した代理人】	
【識別番号】	100095500
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	伊藤 正和
【選任した代理人】	
【識別番号】	100101247
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	高橋 俊一
【選任した代理人】	
【識別番号】	100098327
【住所又は居所】	東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所
【氏名又は名称】	高松 俊雄

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝